

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330568

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H01L 29/41  
H01L 21/338  
H01L 29/812

(21)Application number : 07-136248

(71)Applicant : NEC CORP

(22)Date of filing : 02.06.1995

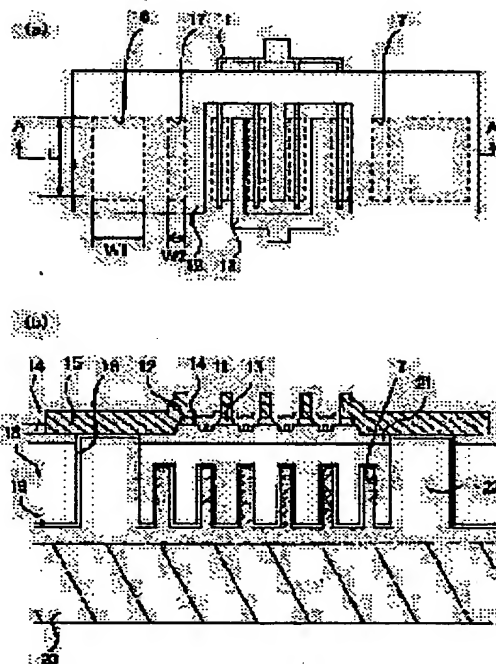
(72)Inventor : ARA YOICHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PURPOSE:** To simultaneously realize the reduction of high frequency loss and the operation of high output by the reduction of thermal resistance, in a compound semiconductor device.

**CONSTITUTION:** In a semiconductor substrate 18, a viahole 16 penetrating from the substrate back to the surface, and many shallow small recessed parts 17 for heat dissipation which have apertures on the back and arranged just under an active layer 21 are formed. A metal layer 19 is formed in the viahole 16 and the recessed parts 17, and the whole substrate is mounted a metal base 20 for ground via the back of the layer 19. The aspect ratio of the recessed part 17 is made larger than that of the viahole 16, so that both of them are formed at the same time from the substrate back by a single process. The viahole 16 functions as an earth wiring, and reduces the parasitic inductance of an earth wiring, so that the performance of a semiconductor device in the high frequency region is improved. The recessed parts 16 function as the heat dissipating part which radiate the heat generated in an active layer 21, so that the high output operation of the semiconductor device is enabled.



## LEGAL STATUS

[Date of request for examination] 02.06.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2697683

[Date of registration] 19.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330568

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/41			H 0 1 L 29/52	
21/338		7376-4M	29/80	U
29/812				

審査請求 有 請求項の数 3 O L (全 5 頁)

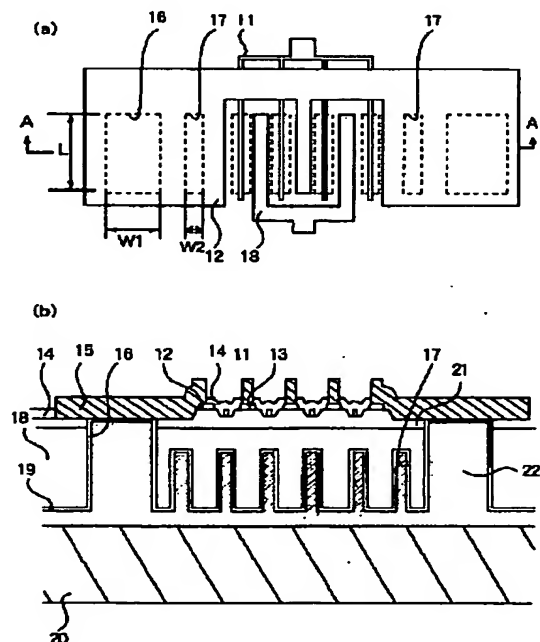
(21) 出願番号	特願平7-136248	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成7年(1995)6月2日	(72) 発明者	荒 洋一 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 稲垣 清

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 化合物半導体デバイスにおける高周波ロスの低減と熱抵抗の低減による高出力化とを同時に達成する。

【構成】 半導体基板18に基板裏面から表面迄を貫通するバイアホール16と、裏面に開口を有し能動層21の直下に配置され深さが小さな放熱用の多数の凹部17とを設ける。バイアホール16及び凹部17内には金属層19が形成され、基板全体がその裏面で接地用金属台座20に搭載される。凹部17のアスペクト比をバイアホール16のアスペクト比よりも大きくとることにより、双方を、基板裏面からの単一の工程で同時に形成する。バイアホール16は接地配線として機能し接地配線に寄生するインダクタンスを低減して半導体装置の高周波域の性能を向上させる。凹部16は能動層21で発生する熱を放熱させる放熱部として機能し、半導体装置の高出力化を可能とする。



## 【特許請求の範囲】

【請求項1】 表面に能動素子のための能動層が形成された半導体基板と、該半導体基板の表面と裏面との間を貫通するバイアホールと、前記能動層近傍に形成され該能動層よりも基板裏面側に底部を有し前記半導体基板の裏面に開口を有する少なくとも1つの凹部とを備え、前記凹部のアスペクト比が前記バイアホールのアスペクト比よりも大きいことを特徴とする半導体装置。

【請求項2】 前記半導体基板が化合物半導体基板である、請求項1に記載の半導体装置。

【請求項3】 請求項1又は2に記載の半導体装置を製造する方法であって、前記能動層の形成後に、前記半導体基板の裏面にエッチング保護膜を形成し、該エッチング保護膜をマスクとして前記バイアホール及び凹部を1つのエッチング工程で形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、更に詳しくは、半導体基板の裏面から表面に向かって半導体基板を貫通したバイアホールを有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年半導体デバイスの高周波化が進んでいる。半導体デバイスを高い周波数域で使用するには、配線及び接地線の寄生インダクタンスを小さくすることが有効である。ここで、化合物半導体装置では、接地すべき電極と外部接地導体との間の接続を、ワイヤーボンディングによる接続に代えて、化合物半導体基板の表面と裏面との間を貫通するバイアホールを設け、これをメタライズする接続手法がある。この方法は、半導体装置における寄生インダクタンスを低減し、高周波域におけるデバイスの性能を高める利点がある。

【0003】半導体基板に、上記バイアホールを形成する手法としては、エッチング液による湿式エッチング、或いは、ガス雰囲気中における乾式エッチングなどのエッチング技術が使われる。このような従来のエッチング技術として特開平3-38842号公報に記載のものがある。図5はそのエッチング技術で形成された半導体装置の断面図である。半導体基板18の表面には、ゲート電極11、ソース電極12、ドレイン電極13、及び、能動層21からなる高電子移動度トランジスタ（HEMT: High Electron Mobility Transister）が形成されている。ソース電極12を接地する配線の寄生インダクタンスを減らす目的で、半導体基板18を貫通するバイアホール16を形成し、その上に直接にバイアホール受け電極5を形成して、これをソース電極12と接続している。

【0004】近年、製造されている化合物半導体装置では、取り扱う周波数が数GHz以上と高いものが数多く

見受けられる。このように高い周波数域では、上記のように接地インダクタンスが幾らか改善されても、或いは、能動デバイスが例えば数百 $\mu\text{m}^2$ 程度の小さな領域に形成されていても、半導体装置上に形成される回路は分布定数回路的な振る舞いをする。他方、半導体装置における平面パターンのスケールダウンは常に要求されており、その結果、単位面積当たりが発生する能動素子の熱量がますます増大する傾向にある。しかし、この場合にも、装置の信頼性確保のためには、能動素子のチャネル温度は定められた範囲内に押さえる必要があり、特に放熱のための熱抵抗を下げることが重要である。このため、能動デバイスを形成するための半導体基板の厚みは必然的に薄くする必要が生じてくる。

【0005】例えば、現在、バイアホールを持つ半導体基板の厚みとしては、ガリウム砒素（GaAs）系の半導体基板を用いたディスクリット（能動素子）デバイスでは、薄いもので数十 $\mu\text{m}$ 程度であり、また、能動素子以外の回路要素を能動素子と同一チップに搭載したモノリシックIC（MMIC）では、80～150 $\mu\text{m}$ 程度である。

## 【0006】

【発明が解決しようとする課題】前記の如く、マイクロ波モノリシック集積回路では、能動素子及び受動回路要素とが同一基板上に形成されている。ここで、その化合物半導体基板の厚みとしては、能動素子が配置される発熱部分では放熱効果を上げるために薄いものが望まれるが、一方、分布定数回路を構成する受動回路要素部分では、発熱部分がないので、高周波ロスを低減するために厚いものが望まれる。これは、受動回路部分では、基板を厚くすると、同じインピーダンスを条件とすると、線路幅がより広くとれ、ラインを構成する導体の寄生抵抗を低減できるからである。

【0007】上記の通り、マイクロ波モノリシック集積回路では、従来、その上に形成される素子又は回路要素によって基板厚みを変えるのでなければ、放熱効果の向上と高周波ロスの低減とがトレードオフの関係にあるため、双方を勘案して基板の厚みを決定する必要があった。ここで、基板厚みを部分的に変えることは、工程を複雑化することから、商業的に行われた例はない。

【0008】上記に鑑み、本発明は、放熱効果の向上と高周波ロスの低減とが同時に実現可能な半導体装置、及び、その製造方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、表面に能動素子のための能動層が形成された半導体基板と、該半導体基板の表面と裏面との間を貫通するバイアホールと、前記能動層近傍に形成され該能動層よりも基板裏面側に底部を有し前記半導体基板の裏面に開口を有する少なくとも1つの凹部とを備え、前記凹部のアスペクト比が前記バイアホール

のアスペクト比よりも大きいことを特徴とする。

【0010】また、本発明の半導体装置の製造方法は、上記本発明の半導体装置を製造する方法であって、前記能動層の形成後に、前記半導体基板の裏面にエッチング保護膜を形成し、該エッチング保護膜をマスクとして前記バイアホール及び凹部をエッチングにより形成することを特徴とする。

【0011】ここで、本発明の半導体装置では、前記半導体基板は、好ましくは、化合物半導体基板である。化合物半導体基板では、特に高周波域での作動を目的とする回路が多く形成されるので、本発明の利点が特に大きい。

【0012】また、本発明で形成されるバイアホール及び凹部の形状には特に限定はなく、バイアホール及び凹部との間でアスペクト比の差がとれるものであれば、円形又は長形状等、いかなる断面形状のものでよい。

【0013】

【作用】本発明の半導体装置では、基板の表面と裏面との間を貫通する、アスペクト比が小さなバイアホールと、基板裏面に開口を有し能動素子の近傍に底部を有する、アスペクト比が大きな凹部とを共通の半導体基板に備える構成により、バイアホール及び凹部が基板裏面からのエッチングにより、同一の工程で形成できるため、従来のバイアホールを有する半導体装置の製造工程に比して工程数を増やすことなく製造できると共に、凹部が、その基板裏面の開口部から能動素子の発熱量を放熱できるので、基板厚みを高周波ロス低減の観点から定めても十分な放熱を得ることが容易である。

【0014】

【実施例】以下、本発明の実施例を参照して、本発明を更に詳細に説明する。図1(a)及び(b)は夫々、本発明の一実施例の半導体装置の平面図及びそのA-A断面図である。本実施例の半導体装置では、半導体基板18の主面を構成する表面にゲート電極11、ソース電極12、ドレイン電極13、能動層21等からなる能動素子を形成しており、接地されるソース電極12に寄生するインダクタンスを減らすためにバイアホール16を形成している。

【0015】バイアホール16は、半導体基板18の裏面から表面迄を貫通しており、その直上部には、バイアホール受け電極15が形成されている。バイアホール受け電極15は、ソース電極12の表面に迄延びて、これとバイアホール16内の金属層19とを接続している。半導体基板18の裏面には、更に能動層21の下方部分に多数の凹部17が形成されている。凹部17は、その底部が能動層21よりも裏面側にあり、半導体基板18の裏面に開口を有する。バイアホール16の径は、凹部17の径よりも十分に大きい。

【0016】バイアホール16の内面及び各凹部17の内面を含む半導体基板18の裏面全体を覆って薄い金属

層19がメッキ法により形成されている。半導体基板18を含む半導体装置全体はベレットマウント用金属板(台座)20に搭載されている。金属層19と台座20とは、ロー材22によりロー付けされている。台座20は、半導体装置の接地面を構成すると共に、バイアホール16内の金属層19及びロー材22並びにバイアホール受け電極15を経由してソース電極12に接続されて、ソース電極12の接続部分に寄生する寄生インピーダンスを低減している。また、ロー材22を含む凹部17は、能動層21に形成される能動素子で発生する熱量の大部分を放散させる放熱部として機能する。

【0017】図2は、図1の半導体装置を製造する際のフローチャートを示している。まず、半導体装置の発熱領域を構成する能動層21を含む表面の製作工程を完了させた後に(ステップS1)、ウェハ表面及び側面をエッチング耐性が高い材料で保護する(ステップS2)。保護材料には、例えばポリイミドが用いられる。次に、半導体基板18の裏面のバイアホール16及び凹部17を形成する部分以外の部分をフォトリソ等の耐エッチング保護膜で覆う(ステップS3)。引き続き、半導体基板18を耐エッチング保護膜をマスクとして基板裏面から半導体基板18をエッチングする(ステップS4)。

【0018】上記基板のエッチングでは、一般的にバイアホール作成時に用いられる湿式エッチングやガス雰囲気中での乾式エッチング等の、ウェハ全体を一括してエッチングできる技術を用いる。例えば、加工部分を時系列的及至は個別に作成するレーザー加工等の手段はここでは用いない。エッチング液やエッチングガスにさらされた半導体基板18裏面の部分は、時間と共にエッチングされてバイアホール16及び凹部17が形成される。この際、バイアホールの径と凹部の径とに差を設けてあるので、エッチングされる速度はバイアホールにおいて大きい。このときのエッチング時間は、バイアホール16が貫通し且つ凹部17が貫通しない程度の時間を選定する。ここで、半導体装置における能動層21の厚みは高々数 $\mu\text{m}$ 程度であるから、能動層21までエッチングしてこれを損なうことがないように、凹部17のエッチング深さを計算し、これにより、最終的なエッチング時間を決定する。

【0019】上記エッチング工程の後に、エッチング保護膜を除去し(図2、ステップS5)、バイアホール及び凹部内面を含む半導体裏面全体をメタライズする(ステップS6)。これにより、基板裏面に接地面を形成し、次工程に移る(ステップS7)。

【0020】図3は、上記エッチング速度の差を一般的に説明するためのグラフである。同図では、半導体基板の材質をガリウム砒素( $\text{GaAs}$ )とし、その厚みを100 $\mu\text{m}$ 、エッチングされる平面パターン形状を長方形としてその一辺の長さ(図1で示した寸法L)を100 $\mu$

mと仮定した場合を示しており、エッチング工程におけるエッチング時間とエッチング深さとの関係を、前記長方形の他方の辺の長さであるパターン幅W（図1で示した寸法 $W_1$ 、 $W_2$ ）が夫々、 $75\mu\text{m}$ 、 $50\mu\text{m}$ 、及び、 $25\mu\text{m}$ の場合について、夫々を曲線（イ）、（ロ）、（ハ）として示している。これらパターン幅Wは、アスペクト比に換算すると、夫々、1.33、2.0、4.0に相当する。同図から容易に理解できるように、アスペクト比によりエッチング速度が大きく異なる。

【0021】例えば、バイアホールのエッチング幅 $W_1$ を $75\mu\text{m}$ に選定し（アスペクト比が1.33）、凹部の幅 $W_2$ を $50\mu\text{m}$ に選定した（アスペクト比が2.0）ときには、バイアホールは約70分で基板全体の厚み $100\mu\text{m}$ が貫通するが、このときには、凹部のエッチング深さは約 $80\mu\text{m}$ になる。このようなエッチング速度の差は、パターン幅の相違によりエッチング媒体に触れる面積が異なることから得られるものである。このようにして、基板を貫通するバイアホールと、これとは深さが異なる凹部とが同じ工程で一括して作成される。

【0022】上記において、能動層冷却のために形成する凹部17は、そのアスペクト比をバイアホール16のアスペクト比よりも大きくすればよく、図示の形状、配置等に限られるものではない。例えば、凹部は、能動層21の直下部に必ずしも形成する必要はなく、能動層21近傍に設ければ必要とする放熱効果が得られる。

【0023】図4は、ゲート幅を $800\mu\text{m}$ とした場合の、半導体基板厚と熱抵抗との関係のシミュレーション結果を示すグラフである。これによると、ゲート幅が $800\mu\text{m}$ で半導体基板厚が $100\mu\text{m}$ の場合には、基板の熱抵抗は $70^\circ\text{C}/\text{W}$ であるが、半導体基板厚を $20\mu\text{m}$ にまで薄くすれば、約半分の $35^\circ\text{C}/\text{W}$ にまで低減できることがわかる。ここで、図1に示したような、半導体基板18の断面を櫛状とする複数の凹部を形成した場合には、基板18とロウ材22との接触面積が増加するため、熱抵抗の低減による効果は同図より更に大きくなる。

【0024】なお、マイクロ波モノリシック集積回路では、そのチップサイズがディスクリット半導体装置よりも比較的大きくなるため、半導体基板の機械的強度を保つためにも、全体の基板厚みを減らすことには限界がある。しかし、上記実施例の構成によると、凹部の形成は半導体基板の機械的強度を大きく損うものではない。

【0025】従来から、接地インダクタンス低減のためのバイアホールは一般的に採用されている。しかし、熱抵抗低減のため基板裏面に凹部を形成して、発熱領域の能動層近傍の基板厚を実効的に薄くすることは、バイアホール形成のためのエッチングと同じ技術で可能であるにも拘わらず、実際に行われる例はなかった。これは、バイアホールと凹部とで半導体基板のエッチング量を異なるものとするためには、エッチングのための時間管理

を夫々について行う必要があり、これらを別工程で行うことから工程が複雑化し、コストが高くなるからであったと考えられる。

【0026】従来は、前述のトレードオフの関係から、マイクロ波モノリシック集積回路で扱える電力が半導体装置の熱抵抗で制限され、電力を大きく出来ないという欠点があり、この傾向は、近年の半導体エビタキシャル構造の改良に伴うデバイスの高周波化でますます強くなっていた。

【0027】しかし、上記実施例の半導体装置では、半導体裏面から表面迄に貫通して形成した接地用バイアホールと、発熱領域の能動層近傍に、裏面から掘った貫通しない凹部とを1つの工程で同時に形成して、従来の製造工程数を増加させることなく、上記従来技術の欠点を克服したものである。

【0028】なお、上記実施例の構成は単に例示であり、本発明の半導体装置及びその製造方法は、上記実施例の構成にのみ限定されるものではなく、この実施例の構成から種々の修正及び変更を施した半導体装置及びその製造方法も本発明の範囲に含まれる。

【0029】

【発明の効果】以上説明したように、本発明の半導体装置によれば、半導体基板における熱抵抗を減少させることにより半導体装置の高出力化が可能になると共に、その凹部の形成のために特別な工程の増加を要しないので、上記改良により、半導体装置のコストアップを伴うこともない。また、本発明の半導体装置の製造方法によれば、半導体装置の高出力化にあたり特別な工程の付加を必要としないので、製造コストの上昇が抑えられる。

【図面の簡単な説明】

【図1】（a）及び（b）は夫々、本発明の一実施例の半導体装置の平面図及びそのA-A断面図。

【図2】図1の半導体装置を製造する方法における工程を示すフローチャート。

【図3】半導体基板のエッチングにおけるエッチング時間とエッチング深さとの関係を示すグラフ。

【図4】半導体基板厚と熱抵抗との関係のシミュレーション結果を示すグラフ。

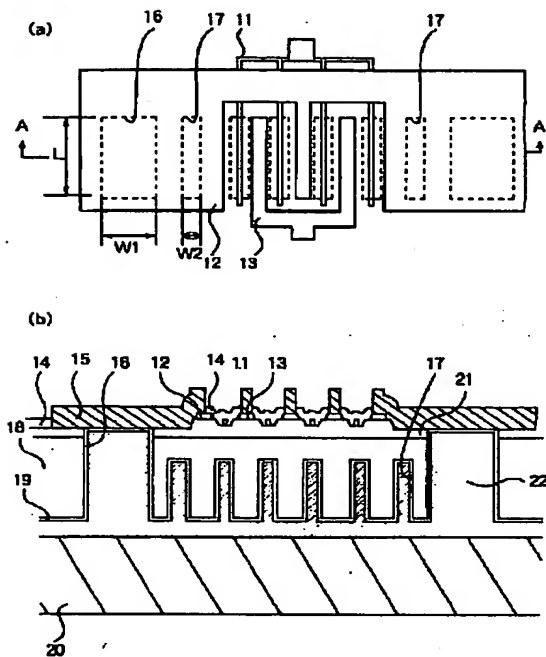
【図5】従来の半導体装置の断面図。

【符号の説明】

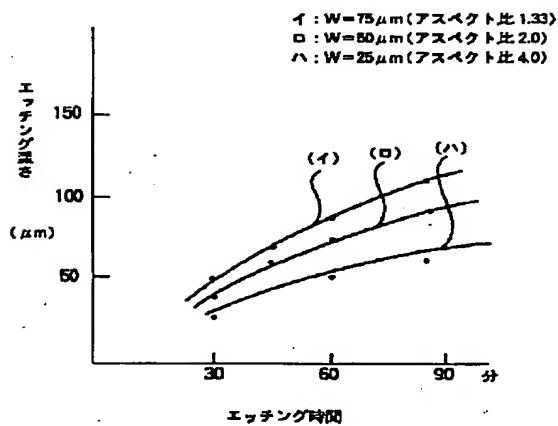
- 11 ゲート電極
- 12 ソース電極
- 13 ドレイン電極
- 14 絶縁膜
- 15 バイアホール受け電極
- 16 バイアホール
- 17 凹部
- 18 半導体基板
- 19 裏面金属膜
- 20 ペレットマウント用金属

2.1 能動層

【図1】

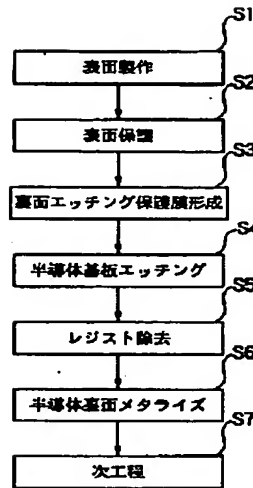


【図3】

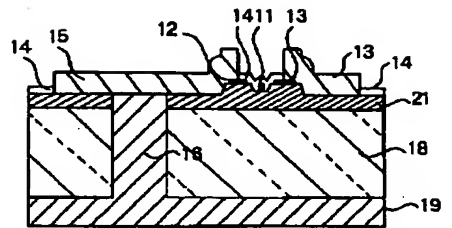


2.2 ロー材

【図2】



【図5】



【図4】

